

BEST AVAILABLE COPY

CLIPPEDIMAGE= JP405166926A

PAT-NO: JP405166926A

DOCUMENT-IDENTIFIER: JP 05166926 A

TITLE: SEMICONDUCTOR SUBSTRATE DICING METHOD

PUBN-DATE: July 2, 1993

INVENTOR-INFORMATION:

NAME

AKASAKI, HIROSHI

OTSUKA, KANJI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

HITACHI VLSI ENG CORP

COUNTRY

N/A

N/A

APPL-NO: JP03328553

APPL-DATE: December 12, 1991

INT-CL (IPC): H01L021/78

US-CL-CURRENT: 438/464,438/FOR.386

ABSTRACT:

PURPOSE: To provide generation of faulty short-circuit between electrodes, and to improve the reliability of the products by a method wherein the metallizing film on the back side of a pellet located directly under a scribe line, is selectively removed before dicing.

CONSTITUTION: The scribe line 4, drawn by patterning on the wiring metal layer 3 of a semiconductor substrate 1, is recognized by a pattern recognition part 5 through a protection film 6, a pulse laser beam 7 is applied to the surface of the backside metallizing layer 2 directly under the scribe line 4, a local laser annealing is conducted, and an alloy layer 9 is formed. Blade sawing is conducted with a diamond blade 8 from above the scribe line 4, and full-cut dicing is conducted as deeply as the groove reaches the alloy layer 9. As a result, even when the sawing blade reaches the back side metallizing film 2, microcrack pieces produced in the vicinity of the end of the groove by dicing in the back side of a pellet are supported by the metallizing film in the back side because the metallizing film 2 has lost metallic mechanical

BEST AVAILABLE COPY

characteristics.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-166926

(43)公開日 平成5年(1993)7月2日

(51)IntCl.⁵

H 0 1 L 21/78

識別記号

Q 8617-4M

L 8617-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数5(全 4 頁)

(21)出願番号 特願平3-328553

(22)出願日 平成3年(1991)12月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング

株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 赤崎 博

東京都小平市上水本町5丁目20番1号 日

立超エル・エス・アイ・エンジニアリング

株式会社内

(74)代理人 弁理士 小川 勝男

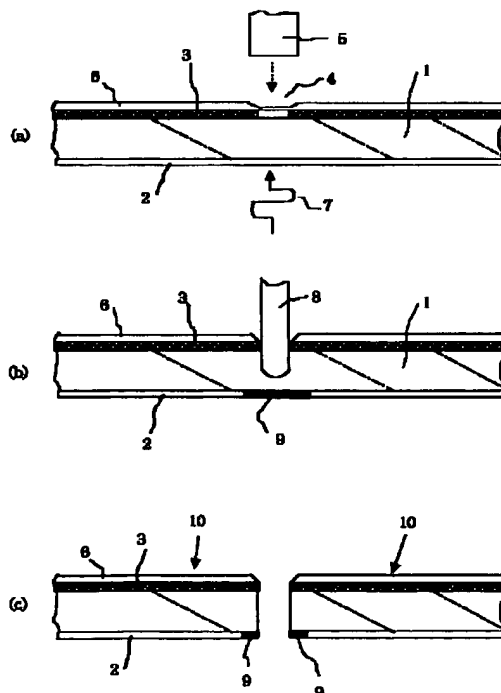
最終頁に続く

(54)【発明の名称】 半導体基板ダイシング法

(57)【要約】

【構成】裏面にメタライズ層2を有する半導体基板1のダイシング前にスクライプライン4部の前記裏面メタライズ層2を局所的に加熱し合金化する9かあるいは局所的に除去する半導体基板ダイシング法。

【効果】ペレット裏面のダイシング終端部周辺に生じるマイクロクラック片が裏面メタライズ膜に支持されて残留することが無くなるので、メタライズを有するマイクロクラック片が後続工程に持ち込まれた後、離脱して電極間のショートを引き起こす等の信頼度不良を防止できる。



【特許請求の範囲】

【請求項1】裏面にメタライズ層を有する半導体基板のダイシング前にスクライブライン部の前記裏面メタライズ層を局所的に加熱し、合金化することを特徴とする半導体基板ダイシング法。

【請求項2】請求項1に記載の局所的加熱方法が、レーザーアニーリングによる、請求項1に記載の半導体基板ダイシング法。

【請求項3】裏面にメタライズ層を有する半導体基板のダイシング前にスクライブライン部の前記裏面メタライズ層を局所的に除去することを特徴とする半導体基板ダイシング法。

【請求項4】請求項3記載の局所的な裏面メタライズ層の除去をレーザー光照射により行うことを特徴とする請求項3に記載の半導体基板ダイシング法。

【請求項5】請求項3記載の局所的な裏面メタライズ層の除去をホトリソグラフィ技術を用いたエッチングにより行うことを特徴とする請求項3に記載の半導体基板ダイシング法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板ダイシング法に関し、特に、半導体製造工程におけるウエハ分離技術に関する。

【0002】

【従来の技術】従来、半導体製造工程において、ウエハの表面なスクライプは、パルスレーザービームや先端がダイヤモンドのスクライプツールやダイヤモンドを埋込んだブレードソーを用いて行われている。ブレードソーイングは、ウエハを表面的にスクライプする場合でも、完全に分離する場合でも、一般的に使用されている。一方、ウエハにあっては、その裏面に実装時の放熱性を考慮して、半田付けによる接触熱抵抗の低減のため、チタン、クロム、銅、ニッケル、金などの組み合わせよりなるメタライズ層が施されている。尚、当該ウエハの分離技術などが記載された文献の例としては、総研出版（株）1985年発行 S. M. シー著「超LSIテクノロジー」第590～591頁が挙げられる。

【0003】

【発明が解決しようとする課題】しかし、こうしたウエハをブレードソーイングによりダイシングする場合、図4に示すように、ペレット1の裏面メタライズ層2のダイシング終端部周辺に、マイクロクラック片Mが生じ、このマイクロクラック片Mは、裏面メタライズ層2により僅かに支えられている状態にあり、従って、このようなペレット裏面にメタライズ層（膜）2を有する場合には、メタライズ膜2のみによって支えられていたマイクロクラック片Mが、後続工程において離脱し、導電性異物となり、電極間のショート不良などを引き起こすという問題があった。本発明は、上記現象を防止し、製品の

信頼度を向上させることを目的とする。本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0004】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。本発明では、上記目的を達成するため、スクライブライン直下のペレット裏面メタライズを選択的に除去する、または、合金化（シリサイド化）するプロセスをダイシング前に設けた。

【0005】

【作用】上記のように、スクライブライン直下のペレット裏面メタライズを選択的に除去、またはシリサイド化することによって、ペレット裏面のダイシング終端部周辺に生じるマイクロクラック片がメタライズ膜に支持されて残留することがなくなる。それによって、メタライズを有するマイクロクラック片が後続工程に持ち込まれ、離脱して電極間のショート不良を引き起こすようなことがなくなる。

20 【0006】

【実施例】実施例1. 本発明の一実施例を図1により説明する。例えばシリコン単結晶より成る半導体基板1の図示しない多層配線をなす配線金属層3のパターニングで形成されたスクライブライン4をパターン認識部5でプロテクション膜6を通して認識し、これと連動したパルスレーザービーム7をスクライブライン4直下の裏面メタライズ2表面に照射し、局所的にレーザーアニーリングを行う（図1（a））。次に、スクライブライン4上より、ダイヤモンドブレード8によりブレードソーイングを行い、前記レーザーアニーリングで形成されたメタルシリサイドなどの合金化層9までフルカットダイシングを行う（図1（b））。以上のプロセスによりウエハの分離が行われ、ペレット10が得られる（図1（c））。本実施例によれば、スクライブライン4直下の裏面メタライズ2がレーザーアニーリングにより選択的に合金化されているので、ブレードソーイングが裏面メタライズ2部に達しても、本来の金属的機械特性を失って脆性的となっており、ペレット裏面のダイシング終端部周辺に生じるマイクロクラック片が裏面メタライズに支えられて残留することがなくなる。従って、メタライズを有するマイクロクラック片が後続工程において、離脱して電極間のショート不良を引き起こすおとがなくなり、製品の信頼度を向上できる効果がある。

【0007】実施例2. 本発明の一変形実施例を図2により説明する。構成および操作は、基本的に図1と同様であるが、パルスレーザービームによりスクライブライン4直下の裏面メタライズ2を除去し、除去部11を設けている点が異なる。本実施例によれば、ダイシング終端面（裏面メタライズ除去部11）に金属層が無いことにより、ダイシング終端部周辺に生じるマイクロクラッ

3

ク片が裏面メタライズに支えられて残留することがなくなり、図1と同様な効果が得られる。

【0008】実施例3. 本発明の他の変形例を図3により説明する。これは、図2の裏面メタライズ2除去方法に、従来のホトリソグラフィ技術を適用した例である。すなわち、スクライブライン4直下以外の裏面メタライズ2をレジスト12で覆い、露出部分を例えばウェットエッチング、或はドライエッチング(CDE、RIE)等によるエッチング処理13を行い、裏面メタライズ除去部11を形成する。他の構成および操作は、基本的に図2と同様である本実施例によれば、図2の場合と同様な効果が得られる。以上本発明者によってなされた発明を実施例にもとずき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるウエハのダイシング技術に適用した場合について説明したが、それに限定されるものではなく、例えば、配線基板のダイシング技術などに適用できる。

【0009】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。本発明によれば、ペレット裏面のダ

4

イシング終端部周辺に生じるマイクロクラック片が裏面メタライズ膜に支持されて残留することが無くなるので、それによってメタライズを有するマイクロクラック片が後続工程に持ち込まれた後、離脱して電極間のショートを引き起こす等の信頼度不良を防止できる効果がある。

【図面の簡単な説明】

【図1】プロセスフローを示す要部略断面図

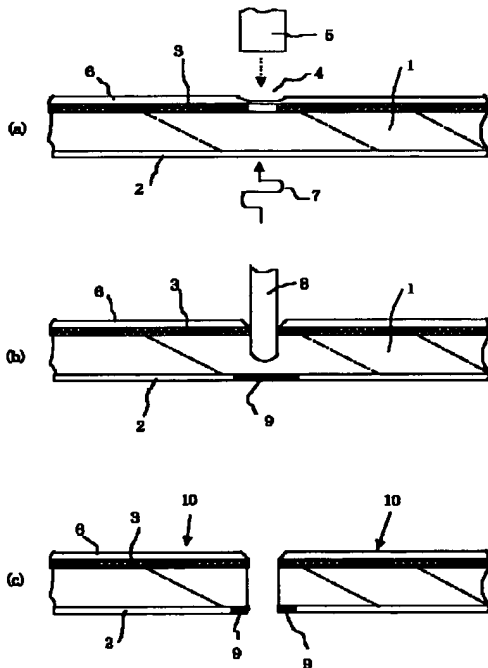
【図2】他のプロセスフローを示す要部略断面図

【図3】更に他のプロセスフローを示す要部略断面図

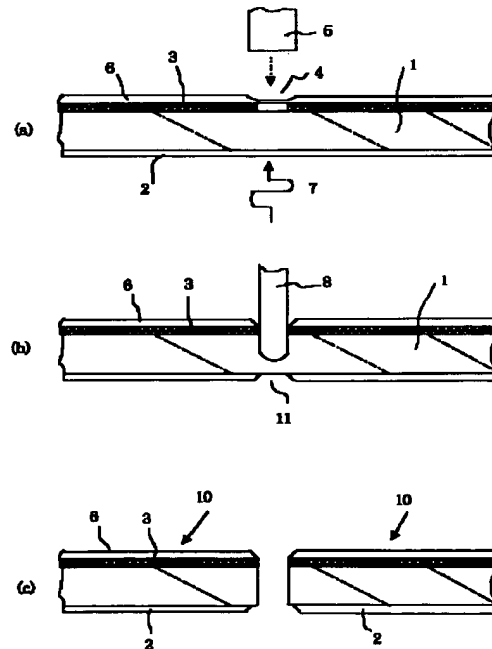
【符号の説明】

- 1・・・半導体基板
- 2・・・裏面メタライズ
- 3・・・配線金属層
- 4・・・スクライブライン
- 5・・・パターン認識部
- 6・・・プロテクション膜
- 7・・・パルスレーザービーム
- 8・・・ダイヤモンドブレード
- 9・・・合金化層
- 10・・・ペレット
- 11・・・裏面メタライズ除去部
- 12・・・レジスト
- 13・・・エッチング処理

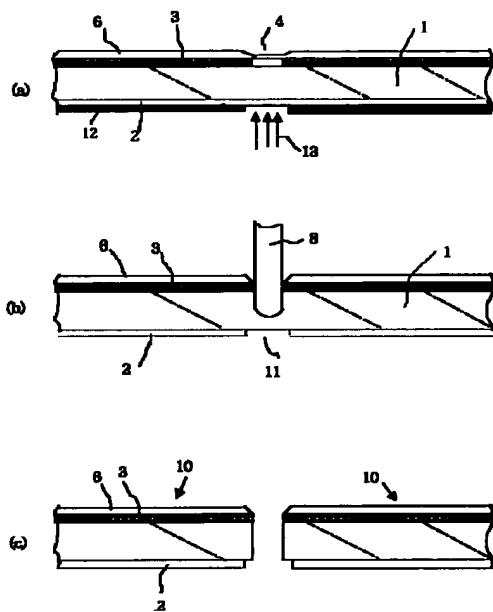
【図1】



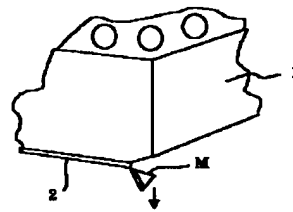
【図2】



【図3】



【図4】



【手続補正書】

【提出日】平成4年12月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】プロセスフローを示す要部略断面図

【図2】他のプロセスフローを示す要部略断面図

【図3】更に他のプロセスフローを示す要部略断面図

【図4】従来の問題点を示すペレット要部斜視図

フロントページの続き

(72)発明者 大塚 寛治

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内